

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284592
 (43)Date of publication of application : 23.10.1998

(51)Int.CI. H01L 21/768

(21)Application number : 09-098282 (71)Applicant : SONY CORP
 (22)Date of filing : 31.03.1997 (72)Inventor : FUKUDA SEIICHI

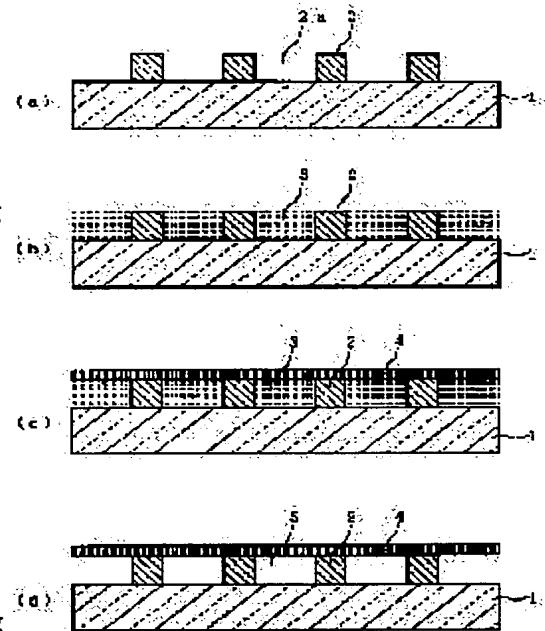
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form the volumes and shapes of space gaps with high controllability by forming films among the wires of wiring by filling up the spaces among the wires with an evaporative material and, after forming an insulating film by applying a liquid insulating material to the surfaces of the wiring and films, removing the evaporative material below the insulating film.

SOLUTION: After wiring 2 is formed on a wiring base, the spaces 2a among the wires of the wiring 2 are filled up with an evaporative material 3 by using a spin cleaning device, etc. Then an insulating film 4 is formed on the surfaces of the wiring 2 and material 3 and the material 3 below the insulating film 4 is removed.

Consequently, a semiconductor device having a structure in which the wires of the wiring 2 are insulated from each other by space gaps 5 between the wiring base 1 and insulating film 4 can be manufactured. The insulating film 4 can be formed by applying and hardening water glass or applying and curing an ultraviolet-curing insulating resin composition. Therefore, the volumes and shapes of the space gaps 5 can be formed with high controllability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-284592

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁶

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

N

審査請求 未請求 請求項の数8 FD (全 6 頁)

(21)出願番号

特願平9-98282

(22)出願日

平成9年(1997)3月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 福田 誠一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

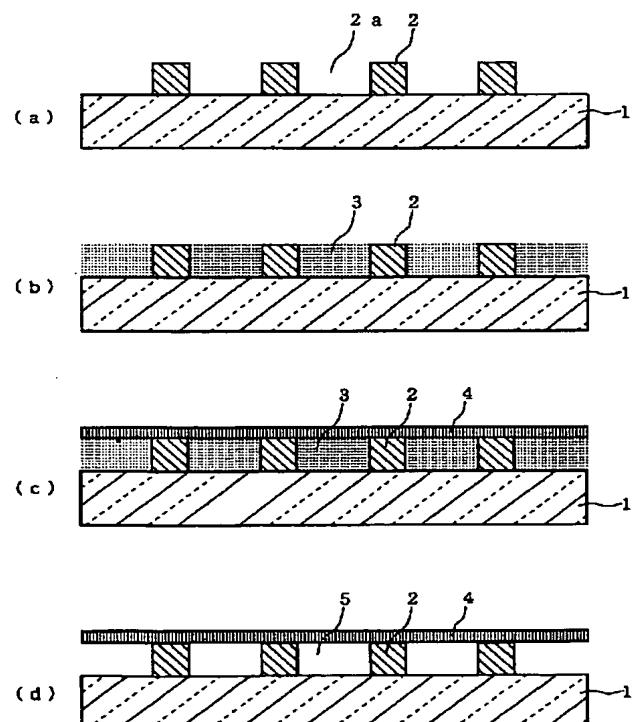
(74)代理人 弁理士 田治米 登 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 配線間にスペースギャップを有する半導体装置を製造する際に、スペースギャップ(空間)の容積と形状とを高い制御性で形成できるようにする。

【解決手段】 配線ベース1上に形成された配線2の間隙2aに蒸発性材料3を装填し、その上に絶縁膜4を形成し、その後で絶縁膜4の下の蒸発性材料3を除去することにより配線2間にスペースギャップ5を形成する。



【特許請求の範囲】

【請求項1】配線ベース上に形成された配線の間隙に蒸発性材料を装填し、その上に絶縁膜を形成し、その後で絶縁膜の下の蒸発性材料を除去することにより配線間にスペースギャップを形成することを特徴とする半導体装置の製造方法。

【請求項2】絶縁膜が、水ガラスを塗布し固化することにより形成されたものである請求項1記載の半導体装置の製造方法。

【請求項3】蒸発性材料として超純水を用い、それを配線の間隙に装填後、超純水を氷結させ、その上に水ガラスを塗布する請求項1又は2記載の半導体装置の製造方法。

【請求項4】水ガラスを、その溶媒を減圧下で除去することによりガラス化させて絶縁膜とする請求項3記載の半導体装置の製造方法。

【請求項5】絶縁膜の下の蒸発性材料を除去するために、絶縁膜に細孔を形成する請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】絶縁膜の下の蒸発性材料を除去した後に、細孔を塞ぐように、絶縁膜上に更に絶縁材料を堆積させる請求項5記載の半導体装置の製造方法。

【請求項7】配線の間隙に蒸発性材料を装填する前に、配線の側壁にサイドウォールを形成しておく請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】配線の間隙に蒸発性材料を装填する前に、配線ベース及び配線の表面に緩衝膜を形成しておく請求項1～6のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法、特に配線間にスペースギャップを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】超LSIの高集積化に伴い、半導体装置における内部配線の微細化及び多層化に対する要求はますます厳しくなりつつあるが、このような要求に対し、微細配線加工技術の急速な進歩によりある程度応えられるようになっている。

【0003】しかしながら、内部配線の微細化・多層化を進展させても、半導体素子の駆動速度が期待したように向上しないという問題がある。この問題は、配線間の電気的な容量に原因があると考えられている。

【0004】このため、配線間を電気的に絶縁している絶縁膜の材料として、より低誘電率の絶縁材料を使用することが試みられており、例えば、一般的な絶縁材料であるCVD-SiO₂膜（誘電率=4.0以上）に代えて、より誘電率の低いSiOF膜（誘電率=3.2以上）の実用化検討が進められている。またSiOF膜よ

りも更に誘電率の低い有機系低誘電率膜（誘電率=2.3前後）の開発も進められている。

【0005】更に、最近では、これらの低誘電率材料に比べ、より低誘電率である空気含有空間又は真空空間であるスペースギャップを利用することも試みられている。この場合、スペースギャップを形成する方法としては、カバレージ性が低いCVD絶縁膜を細孔や狭スリット上に形成することが知られている。この手法は、カバレージの低いCVD絶縁膜が細孔や狭スリットの内部へ堆積しにくいという性質を利用し、それらの内部に積極的にボイドを形成するものである。

【0006】

【発明が解決しようとする課題】しかしながら、カバレージ性の低いCVD絶縁膜を形成することを利用する従来のスペースギャップ形成方法では、スペースギャップ（空間）の容積や形状を精密に制御することができず、事実上実用化されていないというのが現状である。従つて、スペースギャップ（空間）の容積と形状とを高い制御性で形成することが切望されている。

【0007】本発明は、従来の技術の課題を解決しようとするものであり、配線間にスペースギャップを有する半導体装置を製造する際に、スペースギャップ（空間）の容積と形状とを高い制御性で形成できるようにすることを目的とする。

【0008】

【課題を解決するための手段】本発明者は、配線間隙に蒸発性（昇華性、揮発性の意味も含む）材料を装填して成膜し、その上に流動性の絶縁性材料を塗布して絶縁膜を形成した後に絶縁膜の下の蒸発性材料を除去することにより高い制御性でスペースギャップを形成することができることを見出し、本発明を完成させるに至った。

【0009】即ち、本発明は、配線ベース上に形成された配線の間隙に蒸発性材料を装填し、その上に絶縁膜を形成し、その後で絶縁膜の下の蒸発性材料を除去することにより配線間にスペースギャップを形成することを特徴とする半導体装置の製造方法を提供する。

【0010】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を図を参照しながら詳細に説明する。

【0011】図1は、本発明の半導体装置の製造方法の一つの態様の製造工程図である。

【0012】図1の態様においては、まず、図1(a)に示すように、配線ベース1上に配線2を形成する。ここで、配線ベース1としては、配線2が形成される面を提供する公知の材料を使用することができ、シリコンウエハ、下層配線や接続孔が既に形成されている積層基板や半導体装置の層間絶縁膜等を挙げることができる。

【0013】また、配線2としては、半導体装置の配線として用いられているものを利用することができ、バリアメタル構造のA1配線、Cu配線、A1-Cu配線、

W配線、P t配線、A n配線等を挙げることができる。また、配線2の形成は、公知の手法（スパッタリング技術、リソグラフィー技術、エッチング技術等）を利用して行うことができる。

【0014】次に、図1(b)に示すように、配線2の間隙2aに、スピニ洗净装置等を用い蒸発性材料3を装填する。このとき、蒸発性材料3の表面が、後述する絶縁膜を形成しやすくするために、配線2の表面と同一レベルになるようにすることができる。

【0015】蒸発性材料3としては、加熱あるいは減圧などにより蒸発（あるいは昇華、揮発）させて配線2の間隙2aから気散除去した際にスペースギャップを形成可能な材料を使用する。しかも、配線2の間隙2aに装填した際に、後述する絶縁膜を形成しやすくするために表面が平坦となるような材料であって、冷却等の操作によりその上に絶縁膜を容易に成膜できるような機械的強度の高い膜となる材料を使用することが好ましい。

【0016】このような蒸発性材料3の具体例としては、超純水を挙げができる。特に、0℃で氷結させることができ、しかも氷結した状態で昇華させることができ、しかも加熱することにより揮発させることもでき、更に氷結させることにより平坦で機械的強度の高い膜を形成可能な超純水を使用することが好ましい。

【0017】次に、図1(c)に示すように、配線2と蒸発性材料3との上に絶縁膜4を形成する。このような絶縁膜4としては、水ガラスを塗布し固化することにより形成されたもの、紫外線硬化型絶縁性樹脂組成物を塗布し硬化させたものなども使用することができる。

【0018】次に、絶縁膜4の下に位置する蒸発性材料3を除去する。これにより、配線ベース1と絶縁膜4との間の配線同士がスペースギャップ5により絶縁された構造を有する半導体装置を製造することができる。

【0019】ここで、蒸発性材料3を除去する方法としては、真空乾燥、加熱乾燥、加熱真空乾燥等の手法により蒸発性材料3を気化させ、それを絶縁膜4を透過させて外界へ気散させることを挙げることができる。

【0020】蒸発性材料3の除去速度を向上させる場合には、絶縁膜4にリソグラフィー技術やエッチング技術を利用して細孔を形成することが好ましい。即ち、図2に示すように、配線ベース21上に配線22を形成し（図2(a)）、配線22の間隙22aに蒸発性材料23を装填し（図2(b)）、配線22と蒸発性材料23との上に絶縁膜24を形成し（図2(c)）、そして絶縁膜24の下に位置する蒸発性材料23を除去するために、絶縁膜24に細孔25を設け（図2(d)）、その後に真空乾燥、加熱乾燥、加熱真空乾燥等の手法により蒸発性材料23を気化させ、それを絶縁膜24の細孔25を経て外界へ気散させることにより、スペースギャップ26を形成することができる（図2(e)）。この場合、必要に応じて絶縁層24の細孔25を塞ぐため

に、絶縁膜24上に更に絶縁材料27を堆積させることが好ましい。

【0021】なお、細孔25はサブクオータミクロンサイズで十分であり、そのサイズであれば非常に薄い絶縁材料27を堆積させることにより、容易に細孔25を閉孔させることができる。また、この際に、スペースギャップ26の底部には絶縁材料28が堆積するが、スペースギャップ26の誘電率を上昇させるには至らない程度の堆積である。

【0022】また、多層配線構造を実現する際に、層間配線を結線する接続孔の形成を考慮し、後工程におけるパターニング時の合わせ精度を向上させるために、配線上部に接続孔を形成する際の合わせズレに対応する緩衝膜を配線の側壁に形成したり（図3）、あるいは配線と絶縁膜との間に緩衝膜を形成することが好ましい（図4）。

【0023】即ち、図3に示すように、配線ベース31上に配線32を形成し（図3(a)）、次にその全面に絶縁材料33を堆積させ（図3(b)）、配線32の表面が露出するまでエッチバックすることにより、配線32上部に接続孔を形成する際の合わせズレに対応する緩衝膜として機能するサイドウォール34を配線32の側壁に形成する（図3(c)）。つぎに、蒸発性材料35を配線32の間隙32aに装填し（図3(d)）、配線32と蒸発性材料35との上に絶縁膜36を形成し（図3(e））、そして絶縁膜36の下に位置する蒸発性材料35を除去することにより、スペースギャップ37を形成することができる（図3(f)）。

【0024】なお、サイドウォール34の絶縁材料33としては、絶縁膜36に比べて低誘電率材料を使用することが好ましい。例えば、絶縁膜36がSiO₂である場合には、絶縁材料33としてSiOFを使用することが好ましい。

【0025】また、図4の場合には、まず、配線ベース41上に配線42を形成し（図4(a)）、その全面に絶縁材料を堆積させて緩衝膜43を形成し（図4(b)）、配線42の間隙42aに蒸発性材料44を装填し（図4(c)）、配線42と蒸発性材料44との上に絶縁膜45を形成し（図4(d)）、そして絶縁膜45の下に位置する蒸発性材料44を除去することにより、スペースギャップ46を形成することができる（図4(e)）。

【0026】以上の説明した本発明の製造方法によれば、スペースギャップ構造を、その容積と形状とを制御しつつ形成することができ、配線間の電気容量の小さい半導体装置を製造することができる。得られた半導体装置は動作速度がより高速化したものとなる。

【0027】

【実施例】以下、本発明を実施例により具体的に説明する。

【0028】実施例1(図1の態様)

まず、シリコンウェハ上に形成された層間絶縁膜SiO₂膜を配線ベース1とし、その上にバリアメタル構造を有するA1配線2をスパッタリング技術、リソグラフィー技術を利用して形成した(図1(a))。

【0029】次に、スピニ洗净装置を用いて配線2の間隙2aに超純水(蒸発性材料)3を満たした。この時、シリコンウェハを高速回転させる振り切り乾燥は行わず、超純水が配線の間に貯留された状態で、0℃以下の低温にウエハを保持して超純水を氷結させた(図1(b))。

【0030】低温保持したウエハに水ガラスをスピニコート(回転塗布)した。水ガラスの溶剤であるエタノール、酢酸メチルを除去してガラス化するために、ウエハを0℃以下の低温に保持しつつ、10⁻²Paの真空中に10時間以上放置し、これにより、絶縁膜4を形成した(図1(c))。ここで、ウエハを低温保持する目的は、水ガラスから溶剤を除去し凝固させる際に、貯留した超純水3を液状化させないためである。

【0031】次に、絶縁膜4の下の超純水3を除去するために10⁻²Paの真空中で400℃に加熱し、2時間ベーキングし、超純水3を気化させ、絶縁膜4を透過させて真空排気し、これによりスペースギャップ5を形成した(図1(d))。得られたスペースギャップ5は、意図した容積、形状になっていた。

【0032】実施例2(図2の態様)

まず、シリコンウェハ上に形成された層間絶縁膜SiO₂膜を配線ベース21とし、その上にバリアメタル構造を有するA1配線22をスパッタリング技術、リソグラフィー技術を利用して形成した(図2(a))。

【0033】次に、スピニ洗净装置を用いて配線22の間隙22aに超純水(蒸発性材料)23を満たした。この時、シリコンウェハを高速回転させる振り切り乾燥は行わず、超純水が配線の間に貯留された状態で、0℃以下の低温にウエハを保持して超純水を氷結させた(図2(b))。

【0034】低温保持したウエハに水ガラスをスピニコート(回転塗布)した。水ガラスの溶剤であるエタノール、酢酸メチルを除去してガラス化するために、ウエハを0℃以下の低温に保持しつつ、10⁻²Paの真空中に10時間以上放置し、これにより、絶縁膜24を形成した(図2(c))。ここで、ウエハを低温保持する目的は、水ガラスから溶剤を除去し凝固させる際に、貯留した超純水23を液状化させないためである。

【0035】続いて、絶縁膜24にホールパターンをレジストにより形成し、低温酸化膜エッチング装置により超純水5を除去するための細孔25を形成した(図2(d))。細孔25を形成後、約10⁻²Paの真空中で300℃に1時間保持することにより、蒸発性材料23を真空下で加熱して気散させて除去することによりスペ

ースギャップ26を形成した(図2(e))。

【0036】最後に、細孔25を埋めるため、プラズマCVD法によりSiO₂酸化膜(絶縁材料27)を絶縁膜24上に製膜した。この時、細孔25はサブクオータミクロン以下の直径の小さなホールであるため、配線ベース21上への僅かな絶縁材料28が堆積したにすぎなかった(図2(f))。また、得られたスペースギャップ26は、意図した容積、形状になっていた。

【0037】実施例3(図3の態様)

10 まず、シリコンウェハ上に形成された層間絶縁膜SiO₂膜を配線ベース31とし、その上にバリアメタル構造を有するA1配線32をスパッタリング技術、リソグラフィー技術を利用して形成した(図3(a))。

【0038】次に、プラズマCVD装置により、SiO₂よりも誘電率の低いSiOFを配線32を覆うように製膜し(図3(c))、続いて酸化膜エッチング装置によりエッチバックして配線32にサイドウォール34を形成した(図3(d))。

20 【0039】次に、スピニ洗净装置を用いて配線32の間隙32aに超純水(蒸発性材料)35を満たした。この時、シリコンウェハを高速回転させる振り切り乾燥は行わず、超純水が配線の間に貯留された状態で、0℃以下の低温にウエハを保持して超純水を氷結させた(図3(d))。

30 【0040】低温保持したウエハに水ガラスをスピニコート(回転塗布)した。水ガラスの溶剤であるエタノール、酢酸メチルを除去してガラス化するために、ウエハを0℃以下の低温に保持しつつ、10⁻²Paの真空中に10時間以上放置し、これにより、絶縁膜36を形成した(図3(e))。ここで、ウエハを低温保持する目的は、水ガラスから溶剤を除去し凝固させる際に、貯留した超純水35を液状化させないためである。

【0041】次に、絶縁膜36の下の超純水35を除去するために10⁻²Paの真空中で400℃に加熱し、2時間ベーキングし、超純水35を気化させ、絶縁膜36を透過させて真空排気し、これによりスペースギャップ37を形成した(図3(f))。得られたスペースギャップ37は、意図した容積、形状になっていた。

40 【0042】また、配線32の側壁に形成されたサイドウォール34は、配線32の上部に接続孔を形成する場合の合わせズレに対応する緩衝膜となり配線ベース31の損傷を防止することができる。

【0043】実施例4(図4の態様)

まず、シリコンウェハ上に形成された層間絶縁膜SiO₂膜を配線ベース41とし、その上にバリアメタル構造を有するA1配線42をスパッタリング技術、リソグラフィー技術を利用して形成した(図4(a))。

【0044】次いで、プラズマCVD装置によりSiO₂よりも誘電率の低いSiOFを配線42の高さに対して1/3程度の厚さに製膜して緩衝膜43を形成した

(図4 (b))。この緩衝膜43は、配線42の上部に接続孔を形成する場合の合わせズレに対応する緩衝膜となり配線ベース41の損傷を防止することができる。

【0045】次に、スピニ洗浄装置を用いて配線42の間隙42aに超純水(蒸発性材料)44を満たした。この時、シリコンウエハを高速回転させる振り切り乾燥を行わず、超純水が配線の間に貯留された状態で、0°C以下の低温にウエハを保持して超純水を氷結させた(図4(c))。

【0046】低温保持したウエハに水ガラスをスピニコート(回転塗布)した。水ガラスの溶剤であるエタノール、酢酸メチルを除去してガラス化するために、ウエハを0°C以下の低温に保持しつつ、 10^{-2} Paの真空中に10時間以上放置し、これにより、絶縁膜45を形成した(図4(d))。ここで、ウエハを低温保持する目的は、水ガラスから溶剤を除去し凝固させる際に、貯留した超純水44を液状化させないためである。

【0047】次に、絶縁膜45の下の超純水44を除去するために 10^{-2} Paの真空中で400°Cに加熱し、2時間ベーキングし、超純水44を気化させ、絶縁膜45を透過させて真空排気し、これによりスペースギャップ46を形成した(図4(e))。得られたスペースギャ

ップ46は、意図した容積、形状になっていた。

【0048】

【発明の効果】本発明によれば、配線間にスペースギャップを有する半導体装置を製造する際に、スペースギャップ(空間)の容積と形状とを高い制御性で形成することが可能となる。また、得られた半導体装置は、動作速度がより高速化したものとなる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の工程説明図である。

【図2】本発明の半導体装置の製造方法の工程説明図である。

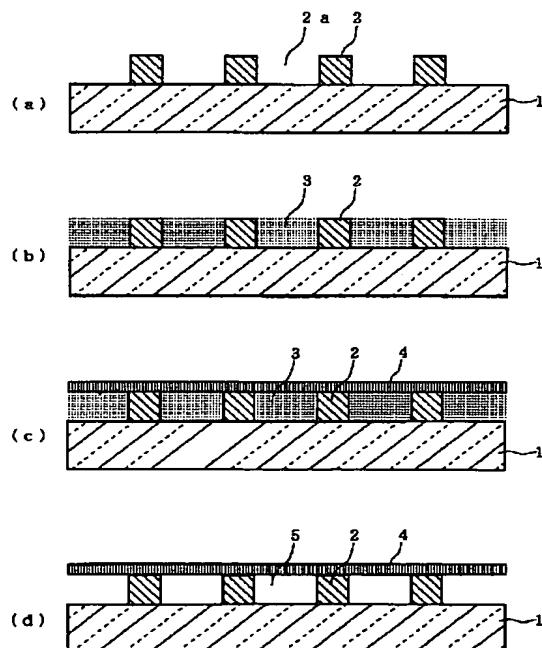
【図3】本発明の半導体装置の製造方法の工程説明図である。

【図4】本発明の半導体装置の製造方法の工程説明図である。

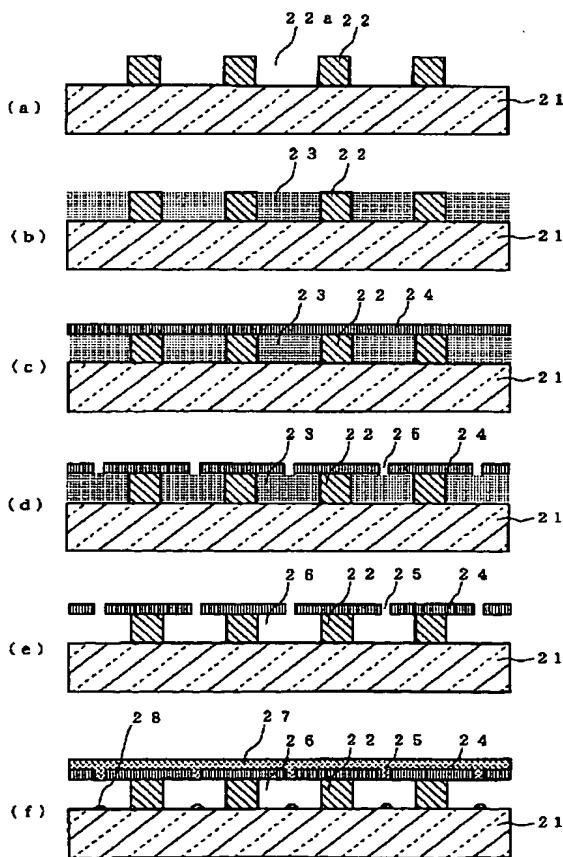
【符号の説明】

1, 21, 31, 41…配線ベース、2, 22, 3
2, 42…配線、3, 23, 35, 44…蒸発性材
料、4, 24, 36, 45…絶縁膜、5, 26, 3
7, 46…スペースギャップ

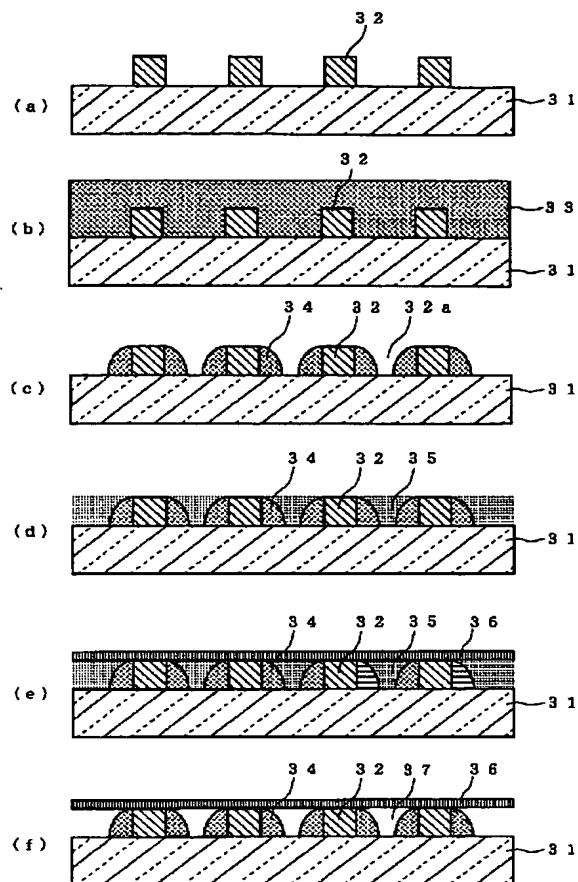
【図1】



【図2】



【図3】



【図4】

